

S miconductor integrated circuit for generating plurality of different reference lev ls

Patent Number:  US6072724
Publication date: 2000-06-06
Inventor(s): YAMAZAKI HIROKAZU (JP)
Applicant(s): FUJITSU LTD (JP)
Requested Patent:  JP10261768
Application Number: US19970902275 19970729
Priority Number(s): JP19970064611 19970318
IPC Classification: G11C16/06
EC Classification: G11C16/28, G11C11/56D, G11C11/56D2E, G11C11/56D4
Equivalents:

Abstract

Disclosed is an art making it possible that, in a reference cell circuit for outputting a plurality of different reference level signals, even if the number of transistors serving as reference cells and each having a floating gate increases, the time required for setting channel currents of the transistors will not increase. The floating gates of a plurality of transistors for generating different reference signal levels are connected in common so that the channel currents of all the transistors can be set simultaneously. The transistors have the channel lengths thereof, channel widths thereof, or both of them made different. The channel currents of the transistors are therefore mutually different. An error in all reference levels dependent on a manufacturing process is compensated for by adjusting an amount of charge to be injected into the floating gates.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261768

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁶
H 0 1 L 27/10
G 1 1 C 16/06
H 0 1 L 27/115
21/8247
29/788

識別記号
4 8 1

F I
H 0 1 L 27/10 4 8 1
G 1 1 C 17/00 6 3 4 E
H 0 1 L 27/10 4 3 4
29/78 3 7 1

審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平9-64611

(22) 出願日 平成 9 年(1997) 3 月18日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 山崎 浩和

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

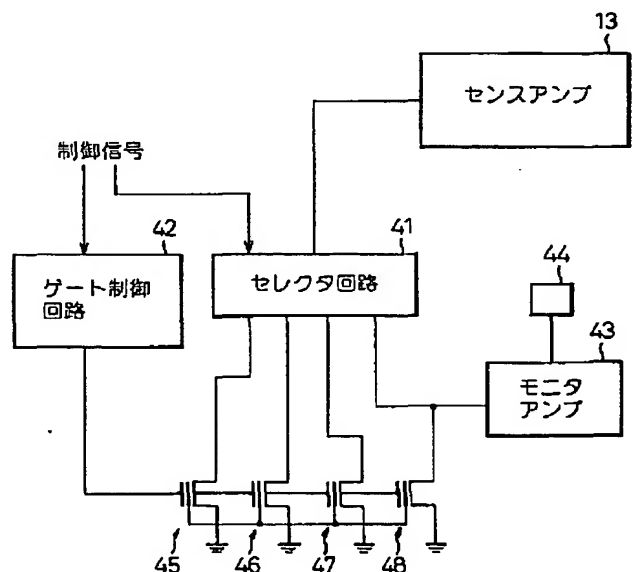
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 フローティングゲートを有するリファレンスセル用のトランジスタの個数が増加しても、各トランジスタのチャンネル電流設定時間を増加させない。

【解決手段】 センスアンプ13と、フローティングゲートを有する複数のトランジスタ45～48を有し、各トランジスタがセンスアンプでの論理値の判定時に比較の基準となる複数の異なる信号レベルを生成するリファレンス回路と、比較対象に応じてリファレンス回路の生成する異なる信号レベルを選択し、センスアンプに接続する選択回路41とを備える半導体集積回路において、複数のトランジスタ45～48のフローティングゲートは共通に接続されている。

本発明の半導体集積回路の基本構成



(2)

1

【特許請求の範囲】

【請求項1】 センスアンプと、
フローティングゲートを有する複数のトランジスタを有し、各トランジスタが前記センスアンプでの論理値の判定時に比較の基準となる複数の異なる信号レベルを生成するリファレンス回路と、

比較対象に応じて前記リファレンス回路の生成する異なる信号レベルを選択し、前記センスアンプに接続する選択回路とを備える半導体集積回路において、
前記複数のトランジスタの前記フローティングゲートは共通に接続されていることを特徴とする半導体集積回路。

【請求項2】 請求項1に記載の半導体集積回路であって、
前記複数のトランジスタの少なくとも一部は、チャンネル長が異なる半導体集積回路。

【請求項3】 請求項1又は2に記載の半導体集積回路であって、
前記複数のトランジスタの少なくとも一部は、チャンネル幅が異なる半導体集積回路。

【請求項4】 請求項1から3のいずれか1項に記載の半導体集積回路であって、
前記複数のトランジスタのうちの1つの前記信号レベルを電極パッドに出力するモニタ回路を備える半導体集積回路。

【請求項5】 請求項1から3のいずれか1項に記載の半導体集積回路であって、
前記フローティングゲートに電荷を注入又は前記フローティングゲートから電荷を引き出すための、前記フローティングゲートに接続されるフローティングゲートを有する電荷調整用トランジスタを備える半導体集積回路。

【請求項6】 請求項5に記載の半導体集積回路であって、
前記電荷調整用トランジスタの前記信号レベルを電極パッドに出力するモニタ回路を備える半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、閾値レベルの異なるセンスアンプを形成するために使用されるフローティングゲートを有するトランジスタで構成されるリファレンス回路を備える半導体集積回路に関し、特に複雑な機能を実現するために多種類の基準（リファレンス）レベルを必要とするフラッシュメモリに関する。

【0002】

【従来の技術】近年、高集積化が可能な電気的に消去可能な不揮発性メモリとしてフラッシュメモリが広く使用されている。図1は、フラッシュメモリのメモリセルの構造を示す図である。図示のように、メモリセルのトランジスタ構造は、P型基板1にN型拡散領域2及び3がある間隔をおいて形成され、更にフローティングゲート

2

(FG) 4とコントロールゲート(CG) 5がP型基板1の上方に形成され、これらが酸化膜6で被覆された構造である。また、N型拡散領域2、3にはソース電極7及びドレイン電極9が接続され、コントロールゲート5にはゲート電極8が接続されている。このように、フラッシュメモリは、コントロールゲートとフローティングゲートの2層構造であり、フローティングゲートの電荷量によりメモリセルを構成するトランジスタのチャンネル電流が変化することを利用して情報の記憶を行う。例えば、Nチャンネル型のトランジスタセルの場合には、フローティングゲートに電子が注入されている時にはチャンネル電流が少なくなり、注入されていない時にはチャンネル電流が多くなる。そこで、ゲート電極に正電圧を印加し、ドレイン電極に正の低い電圧を印加し、ソース電極を接地した時に導通する状態を論理値の“0”に対応させ、トランジスタが非導通の状態に論理値の“1”を対応させる。

【0003】フローティングゲートに電荷を注入して論理値“1”の状態にするには、ゲート電極に高電圧を印加し、ドレイン電極に正電圧を印加し、ソース電極を接地することにより行う。また、記憶された状態を消去するには、一旦全セルのフローティングゲートに電荷を注入した後、ゲート電極を接地し、ドレイン電極をフローティング状態にし、ソース電極に高電圧を印加して、フローティングゲートから電荷を引き抜く。消去の方法には、ゲート電極に負電圧を印加する方法などもある。

【0004】図2は、図1に示したメモリセルで構成したフラッシュメモリのセルブロック11とその周辺の回路部を示す図である。図2において、Yゲート選択回路12はNチャンネル型FETトランジスタからなり、各トランジスタのゲートにはコラムデコーダ17からのコラムアドレス信号が印加される。また、1つのセルブロック11は図1に示した構造のメモリセルからなり、行方向に配列されたトランジスタの各ゲートにはロウデコーダからのロウアドレス信号がワード線を介して印加される。列方向に配列されたトランジスタの各ドレインは、ビット線を介してYゲート選択回路内のトランジスタに接続され、ソースはソース電源回路18に接続される。更に、センスアンプ13、ライトアンプ14はYゲート選択回路12の各トランジスタのドレインに接続される。このようなフラッシュメモリにおいて、書き込み時にはロウアドレスとコラムアドレスを選択することにより、セルブロックの1個のトランジスタにライトパルファからのデータが書き込まれる。また、読み出し時には、同様にロウアドレスとコラムアドレスを選択することにより、セルブロックの1個のトランジスタがセンスアンプに接続された状態になり、その状態に応じてセンスアンプの出力が変化する。更に、消去時には、ロウデコーダ15の出力するロウアドレス信号をすべてゼロレベルにした上で、ソース電源回路18からすべてのメモ

(3)

3

リセルのソースに高電圧を印加され、セルブロック内のすべてのメモリセルのデータが消去される。書き込み動作や消去動作の後には、書き込みや消去が正常に行われたかを確認するため、動作後のデータを読み出して確認するヴェリファイ動作が行われる。

【0005】フラッシュメモリでは、セルの微細化による高集積化が進められており、従来以上にデータの信頼性を保証するのが難しくなっている。そのため、書き込み動作（“1”から“0”にする。）、消去動作（“0”から“1”にする。）のヴェリファイ動作の時

に、それぞれで信頼性の保証できるように基準レベルを少しずつ変えた複数の基準レベルを用意し、動作に応じて基準レベルを選択している。

【0006】センスアンプは、フラッシュメモリに限らずメモリセルに機構されたデータを読み出すのに広く使用される。センスアンプの方式には、大きく分けて、センスアンプ自体に設定されたレベルを基準にデータの“0”と“1”を判定する方式と、基準をつくり出すリファレンスセルとの比較によって判定する方式の2通りがある。センスアンプ自体にレベルを設定する方式は、

「0」と「1」のレベル範囲が十分に離れており、単に「0」と「1」のレベルの判定を行えばよい場合に使用される。これに対してリファレンスセルで基準を生成する方式は、回路が複雑でリファレンスセルを所定の状態に設定する必要があるため製造工程も複雑になるが、リファレンスセルの設定レベルを調整することにより任意のレベルが生成できるという利点がある。現在ではリファレンスセルを設ける方式が主流になっており、特に上記のような複数の基準レベルを用意する場合

には、複数のレベルの異なるリファレンスセルを設ける方式が行われており、読み出し用、書き込み検証用（書き込みヴェリファイ用）、消去検証用（消去ヴェリファイ用）など複数のリファレンスセルを用意している。

【0007】複数のリファレンスセルはそれぞれチャンネル電流が異なる所定の値であることが要求される。チャンネル電流を異ならせるには、各種の方法があるが、従来はフラッシュメモリのメモリセルと同様に、リファレンスセルをフローティングゲートを有するトランジスタで構成し、フローティングゲートに注入する電荷量を製造の試験工程で設定することにより、リファレンスセルのチャンネル電流が正確に所定値になるように調整していた。図3は、従来のリファレンスセル回路の例を示す回路図である。複数のチャンネル電流の異なる不揮発性トランジスタ32から35を独立に設け、セレクト／書き込み・消去制御回路31で、動作に応じていずれかのトランジスタをセンスアンプ13に接続し、比較の基準として使用する。各不揮発性トランジスタ32から35は図1に示したメモリセルと同様のフローティングゲートを有しており、フローティングゲートに注入された電荷量でチャンネル電流が異なるようになっている。

4

フローティングゲートへの電荷の注入は、製造時の試験工程で各トランジスタ毎に電荷の注入とチャンネル電流の測定を繰り返し行うことにより所定のチャンネル電流になるように設定している。セレクト／書き込み・消去制御回路31は、上記のリファレンスセルのチャンネル電流設定モードでは、選択されたトランジスタの電流を直接又は増幅して電極パッドに出力する機能が設けられており、外部の測定器のプロープをこの電極パッドに接触させてチャンネル電流の測定を行う。

10 【0008】

【発明が解決しようとする課題】図3に示すように、従来のリファレンスセル回路では、リファレンスレベルの個数分トランジスタが独立に設けられており、それぞれのチャンネル電流は別々に設定されていた。チャンネル電流を設定するには、各トランジスタ毎に電荷の注入とチャンネル電流の測定を繰り返し行う必要があり、試験時間が長くなりコストアップをもたらすという問題が生じている。

【0009】近年、フラッシュメモリなどでは、高集積化に伴って一層の精密な制御が必要になっており、基準レベルの種類も増加する傾向にある。また、従来は1メモリセルで1ビットのデータを記憶していたが、1メモリセルで多値データを記憶する多値化も検討されており、そのような場合には基準レベルの種類の飛躍的な増加が予測される。これに対応してリファレンスセル回路の個数を増加させ、それぞれを所定のチャンネル電流に設定する場合

には、試験時間の大幅な増加が予測される。

【0010】本発明は、このような問題を解決するためのもので、たとえリファレンスセル回路におけるフローティングゲートを有するリファレンスセル用のトランジスタの個数が増加しても、各トランジスタのチャンネル電流を設定する時間が増加しないようにすることを目的とする。

30 【0011】

【課題を解決するための手段】図4は、本発明の半導体集積回路の基本構成を示す図である。図4に示すように、本発明の半導体集積回路では、上記目的を実現するため、異なる基準信号レベルを生成する複数のトランジスタのフローティングゲートを共通に接続し、全トランジスタのチャンネル電流の設定を同時に行えるようにする。各トランジスタは、チャンネル長又はチャンネル幅又はその両方を異ならせることによりチャンネル電流を異ならせ、製造プロセスによる誤差をフローティングゲートへの電荷の注入量で調整する。

【0012】すなわち、本発明の半導体集積回路は、センスアンプ13と、フローティングゲートを有する複数のトランジスタ45、46、47、48を有し、各トランジスタがセンスアンプでの論理値の判定時に比較の基準となる複数の異なる信号レベルを生成するリファレン

(4)

5

ス回路と、比較対象に応じてリファレンス回路の生成する異なる信号レベルを選択し、センスアンプに接続する選択回路（セレクト回路）41とを備える半導体集積回路において、複数のトランジスタのフローティングゲートは共通に接続されていることを特徴とする。各トランジスタは、異なるチャンネル電流になるように、チャンネル長又はチャンネル幅又はその両方を異ならせる。

【0013】また、フローティングゲートへの電荷の注入時に、いずれか1つのトランジスタのチャンネル電流を測定するため、複数のトランジスタのうちの1つの信号レベルを電極パッド44に出力するためのモニタ回路43が設けられている。フローティングゲートに電荷を注入又はフローティングゲートから電荷を引き出すための電荷調整用トランジスタを別に設けてもよく、この電荷調整用トランジスタも同様にフローティングゲートを有し、それは他のリファレンスセル用のトランジスタのフローティングゲートに接続される。この場合、上記のモニタ回路は、電荷調整用トランジスタの信号レベルを電極パッドに出力するように設けられる。

【0014】従来からトランジスタのチャンネル長によりチャンネル電流が異なることが知られているが、本願発明者は、更に、フローティングゲートを共通化し、その電荷注入量を変化させると、チャンネル長に比例したチャンネル電流の関係を維持したままチャンネル電流が変化することを発見した。製造工程においては、チャンネル長は正確な比率で製作することが可能であり、チャンネル電流の比率に基づいて各トランジスタのチャンネル長を正確に製作した上で、製造プロセスによるチャンネル電流の誤差をフローティングゲートに注入する電荷量を調整すれば、各トランジスタのチャンネル電流を正確に設定することができる。図5は、共通なフローティングゲートを有する3個のチャンネル長の異なるトランジスタのゲートソース間電圧 V_{gs} とチャンネル電流 I_{ds} の関係を示す図であり、各トランジスタにおいて V_{gs} に比例して I_{ds} が変化し、しかも比率が維持されていることが分かる。

【0015】以上のように、本発明の半導体集積回路においては、チャンネル長でリファレンスセル用の各トランジスタのチャンネル電流の比率を設定し、製造プロセスによるチャンネル電流のばらつきは共通なフローティングゲートへの書き込みにより行うため、正確なチャンネル電流の設定が可能である。しかもフローティングゲートへの書き込みとチャンネル電流の測定を繰り返す調整動作は1個のトランジスタで行えば、他のトランジスタの調整も同時に行われることになるので、試験時間は大幅に低減される。また、フローティングゲートへの書き込みとチャンネル電流の測定を繰り返す調整動作は1個のトランジスタで行えばよいから、制御回路やモニタ回路も1つ設ければよく、スペースを節約することができるので、チップ面積を低減できる。このような試験時

6

間の低減とチップ面積の低減は、製造コストを低減することになる。

【0016】なお、トランジスタのチャンネル電流は、チャンネル幅でも異なるので、チャンネル幅でリファレンスセル用の各トランジスタのチャンネル電流の比率を設定し、製造プロセスによるチャンネル電流のばらつきを共通なフローティングゲートへの書き込みで調整するようにしてもよく、チャンネル長とチャンネル幅の両方で各トランジスタのチャンネル電流の比率を設定するようにしてもよい。

【0017】

【発明の実施の形態】図6は、本発明の実施例のフラッシュメモリの全体構成を示すブロック図であり、8ビット出力の例を示している。従って、メモリセルブロック11は8個のセルブロックで構成されている。図6において、参照番号51はアドレス入力端子であり、アドレス入力端子に入力されたアドレス信号はアドレスバッファ52でチップ内に取り込まれた後、ロウデコーダ15とコラムデコーダ17に送られる。なお、他の制御信号は省略してある。ロウデコーダ15は、アドレスバッファ52から送られたロウ（行）アドレス信号をデコードして、メモリセルブロック11のアクセスするワード線を活性化する。コラムデコーダ17は、アドレスバッファ52から送られたコラム（列）アドレス信号をデコードして、ブロック毎にアクセスするビット線に接続されるY選択ゲート12のトランジスタをオン状態にする。Y選択ゲート12にはブロック毎にセンスアンプ13が接続されており、センスアンプ13の出力が入出力バッファ54から出力される。本実施例では、このセンスアンプ13の部分が、図7に示すような構成を有する。

【0018】図7に示すように、センスアンプ13には、セレクト回路61と、フローティングゲートが共通に接続されたトランジスタ62から65及び72と、書き込み・消去制御回路71で構成されるリファレンス回路が接続されている。トランジスタ62から65及び72は近接して並列に配置される。トランジスタ62から65は、異なるチャンネル電流になるように、チャンネル長又はチャンネル幅又はその両方を異ならせてある。セレクト回路61は、このフラッシュメモリの全体の制御部（図示せず）の出力する選択信号に応じて、トランジスタ62から65のいずれかをセンスアンプ13に接続する。センスアンプ13は、選択されたトランジスタと、Y選択ゲート12を介して接続されるアクセスされたメモリセルのチャンネル電流を比較して論理値を決定して出力する。

【0019】トランジスタ72は、フローティングゲートへの電荷の注入と電荷の引抜きを行うためのトランジスタであり、このトランジスタ72でフローティングゲートへの電荷の注入と電荷の引抜きを行うことにより、トランジスタ62から65のチャンネル電流が変化する

(5)

る。トランジスタ 7 2 のフローティングゲートへの電荷の注入と電荷の引抜きは、書き込み・消去制御回路 7 1 を利用して行われる。書き込み・消去制御回路 7 1 は、トランジスタ 7 2 に流れる電流を検出して電極パッド（図示せず）に出力するモニタンプを有しており、コントロールゲートとドレインに所定の電圧を印加して、通常動作時の電流の検出及びコントロールゲートへの電荷の注入が行えるようになっている。前述のように、コントロールゲートへの少量の電荷の注入後通常動作させて電流を測定して所定の値であるかを確認する動作を、電流が所定の値になるまで繰り返し行う。従って、通常はフローティングゲートから電荷を引抜くことはないが、電荷を過剰に注入した場合に電荷を引抜けるようにしておくことが望ましい場合もある。その場合には、トランジスタ 7 2 のゲートに負電圧を印加できるようにするか、ソースに正の高電圧を印加できることが必要である。

[0 0 2 0]

【発明の効果】以上説明したように、本発明によれば、複数の異なるチャンネル電流のリファレンスセルが、高い精度で且つ小さなチップ面積で実現でき、しかも短時間でその設定作業が行えるようになる。従って、半導体

集積回路のコストを低減できる。

【図面の簡単な説明】

【図1】フラッシュメモリのメモリセルの基本構成を示す図である。

【図2】フラッシュメモリの全体構成を示す図である。

【図3】従来のリファレンスセル回路の構成を示す図である。

【図 4】本発明の半導体集積回路の基本構成を示す図である。

10 【図5】チャンネル電流がチャンネル長に比例することを示す図である。

【図6】本発明の実施例のフラッシュメモリの構成を示す図である。

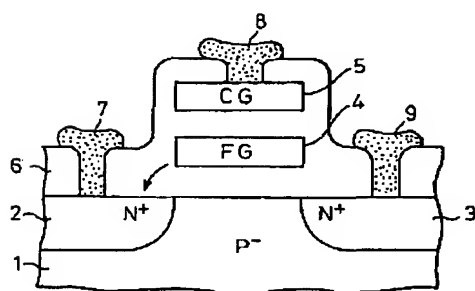
【図 7】本発明の実施例のリファレンス回路の構成を示す図である。

【符号の説明】

- 1 3…センスアンプ
- 4 1…セレクト回路
- 4 2…ゲート制御回路
- 4 3…モニタアンプ
- 4 4…電極パッド
- 4 5—4 8…リファレンス用トランジスタ

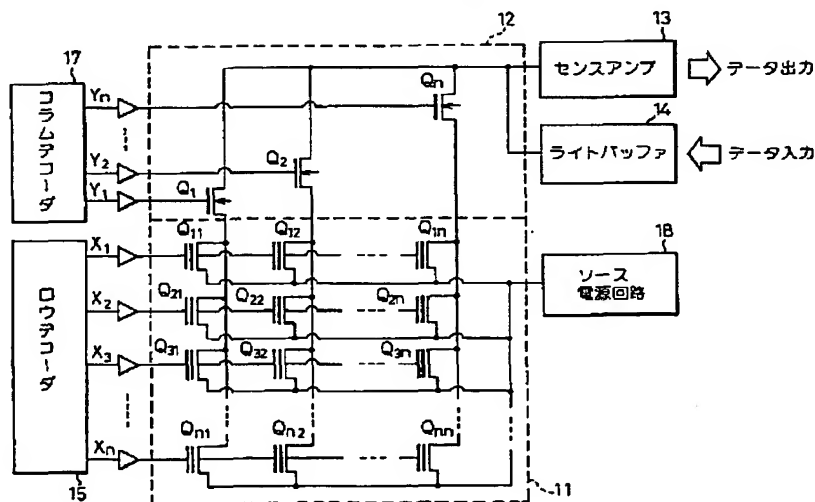
【图 1】

フラッシュメモリの基本セル構成



【图2】

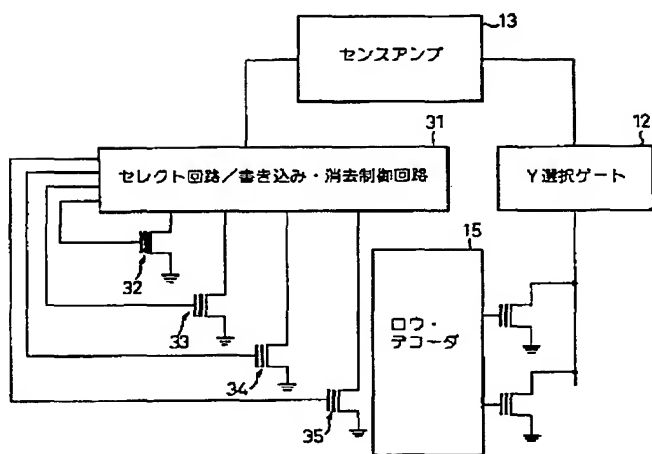
フラッシュメモリの全体構成



(6)

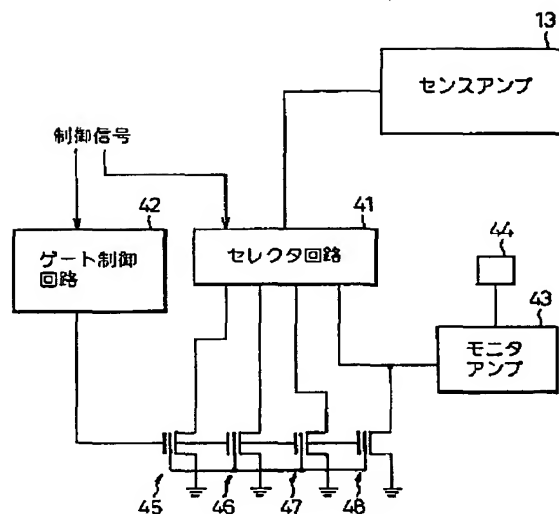
【図3】

従来のリファレンスセル回路の構成図



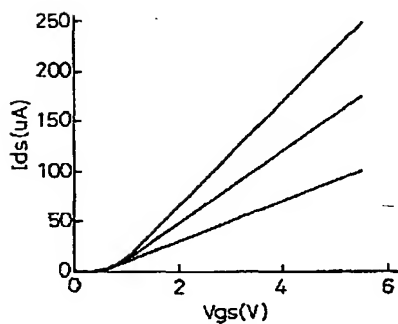
【図4】

本発明の半導体集積回路の基本構成



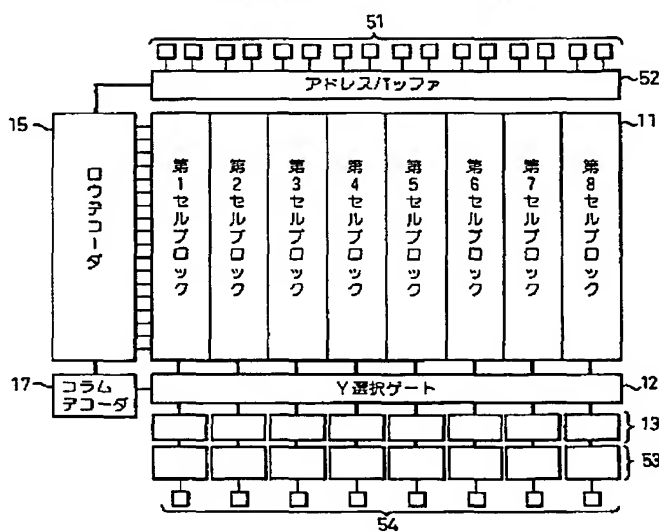
【図5】

チャンネル長による特性の差



【図6】

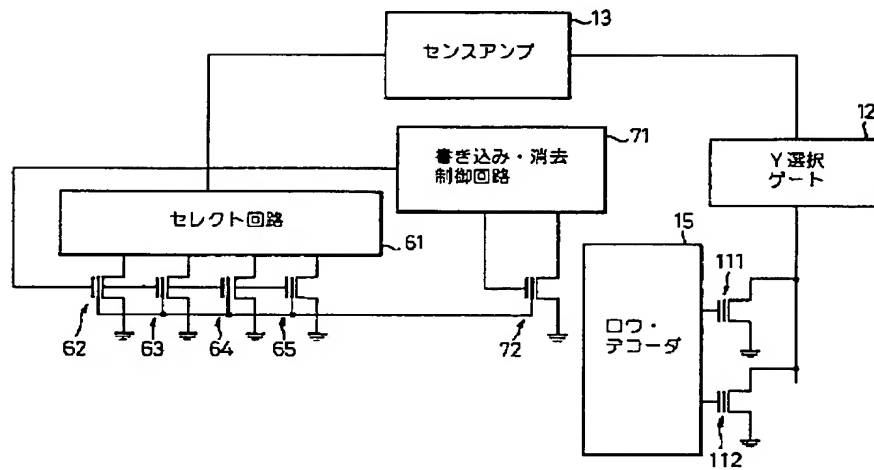
本発明の実施例のフラッシュメモリの構成



(7)

【図7】

実施例のリファレンス回路の構成



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H O 1 L 29/792

